

WHAT IS CLAIMED IS:

1. 画像データを格納する第1の格納手段と、

この第1の格納手段に格納された画像データを複数ブロックに分割し、この分割したブロック毎に全ての画素が白であるか否かを判定する判定手段と、

この判定手段でブロックの全ての画素が白ではないと判定された際、当該ブロックの画像データの回転処理を行う回転処理手段と、

上記判定手段でブロックの全ての画素が白であると判定された際、当該ブロックの画像データの回転処理を省略する制御を行う制御手段と、

この制御手段で回転処理が省略されたブロックの画像データ、または上記回転処理手段で回転処理されたブロックの画像データを圧縮してコードデータとする圧縮手段と、

この圧縮手段で圧縮されたコードデータを格納する第2の格納手段と、
を具備する画像形成装置。

2. クレーム1の画像形成装置において、上記第1の格納手段と上記第2の格納手段とは、ページメモリに設けられている。

3. クレーム1の画像形成装置において、上記判定手段は、画像データにおける複数ライン単位でブロックに分割する。

4. クレーム1の画像形成装置において、上記判定手段は、画像データにおける32ビットのライン単位で複数のブロックに分割する。

5. クレーム1の画像形成装置において、上記回転処理手段は、ブロックを構成するnビット×nビットを1つのセルとして1セル単位で回転処理を行う。

6. クレーム1の画像形成装置において、上記回転処理手段は、ブロックを構成する32ビット×32ビットを1つのセルとして1セル単位で回転処理を行う。

7. クレーム1の画像形成装置において、上記回転処理手段は、ブロックを構成するnビット×nビットを1つのセルとして1セル単位で右270度の回転処理を行う。

8. クレーム1の画像形成装置において、上記回転処理手段は、ブロックを構成する32ビット×32ビットを1つのセルとして1セル単位で右270度の回転処理を行う。

9. クレーム 1 の画像形成装置において、上記制御手段は、上記第 1 の格納手段と上記第 2 の格納手段とが設けられるページメモリを制御するコントローラである。

10. クレーム 1 の画像形成装置において、上記圧縮手段は、Modified Modified READ Code を用いた圧縮である。

11. 画像データを格納する第 1 の格納手段と、

この第 1 の格納手段に格納された画像データを複数ブロックに分割し、この分割したブロック毎に全ての画素が白であるか否かを判定する判定手段と、

この判定手段でブロックの全ての画素が白ではないと判定された際、当該ブロックの画像データを回転処理する回転処理手段と、

この回転処理手段で回転処理されたブロックの画像データを格納する第 2 の格納手段と、

上記判定手段でブロックの全ての画素が白であると判定された際、当該ブロックの画像データの回転処理を省略する制御を行う制御手段と、

この制御手段で回転処理が省略されたブロックの画像データ、または上記第 2 の格納手段に格納されたブロックの画像データを圧縮してコードデータとする圧縮手段と、

この圧縮手段で圧縮されたコードデータを格納する第 3 の格納手段と、
を具備する画像形成装置。

12. クレーム 11 の画像形成装置において、上記第 1 の格納手段と上記第 2 の格納手段と上記第 3 の格納手段とは、ページメモリに設けられている。

13. 画像データを圧縮する圧縮手段を有して画像を形成する画像形成装置であって、

画像データを格納する第 1 の格納手段と、

この第 1 の格納手段に格納された画像データを複数ブロックに分割し、この分割したブロック毎にビット検索して当該ブロックの全ての画素が白であるか否かを判定する判定手段と、

この判定手段で全ての画素が白ではないと判定されたブロックの画像データを回転処理する回転処理手段と、

この回転処理手段で回転処理されたブロックの画像データを格納する第2の格納手段と、

この第2の格納手段に格納されたブロックの画像データをピット検索して上記圧縮手段で圧縮してコードデータとする制御を行う第1の制御手段と、

上記判定手段で全ての画素が白であると判定されたブロックの画像データを上記圧縮手段で圧縮してコードデータとする制御を行う第2の制御手段と、

上記第1の制御手段に制御されて圧縮されたコードデータ、または上記第2の制御手段に制御されて圧縮されたコードデータを格納する第3の格納手段と、

を具備する画像形成装置。

14. クレーム13の画像形成装置において、上記第1の格納手段と上記第2の格納手段と上記第3の格納手段とは、ページメモリに設けられている。

15. クレーム13の画像形成装置において、上記第1の制御手段と上記第2の制御手段とは、上記第1の格納手段と上記第2の格納手段と上記第3の格納手段とが設けられるページメモリを制御するコントローラである。